

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(L1)特許出願公開番号

特開平9-319474

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl. ⁶	識別記号	片内整理番号	FI	技術表示箇所
G06F 1/26			G06F 1/00	334G
11/20	310		11/20	310K

審査請求 有 請求項の数 3 FD (全 5 頁)

(21)出願番号 特願平8-161186

(22)出願日 平成8年(1996)5月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 菊池 雄司

東京都港区芝五丁目7番1号 日本電気株
式会社内

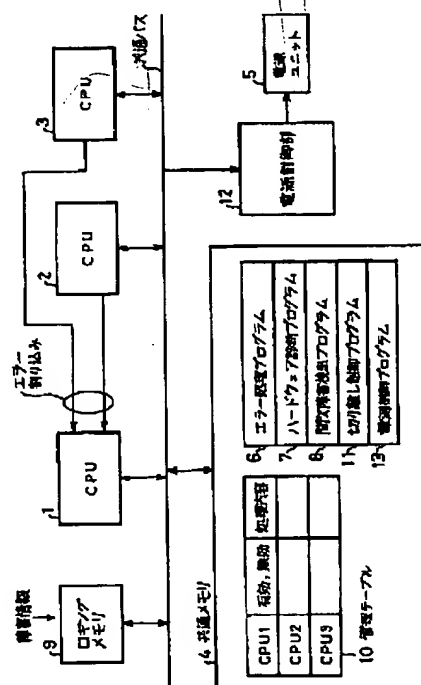
(74) 代理人 弁理士 境 廣巳

(54) 【発明の名称】 マルチプロセッサシステムに於ける電源制御装置

(57) 【要約】

【課題】 マルチプロセッサシステムに於いて、縮退運転時の消費電力を少ないものにする。

【解決手段】 管理テーブル１０には、切り離し制御プログラム１１によって各ＣＰＵ１～３の有効、無効を示す有効無効情報が格納されている。電源制御プログラム１３は、管理テーブル１０の内容に基づいて、電源制御部１２内のレジスタに各ＣＰＵ１～３の有効、無効を示す有効無効ビットをセットする。電源制御部１２は、レジスタにセットされた有効無効ビットに基づいて、電力供給を停止するＣＰＵを決定する。つまり、有効無効ビットが無効になっているＣＰＵ（システムから切り離されたＣＰＵ）を、電力供給を停止するＣＰＵとする。そして、その決定に従って電源ユニット５を制御し、切り離されているＣＰＵに対する電力供給を停止させる。



(2)

特開平9-319474

【特許請求の範囲】

【請求項1】 障害の発生しているCPUを切り離して縮退運転を行うマルチプロセッサシステムに於いて、前記マルチプロセッサシステムを構成する各CPUに対して個別に電力を供給可能な電源ユニットと、該電源ユニットを制御して、前記各CPUの内の、切り離されたCPUに対する電力供給を停止させる電源制御部とを備えたことを特徴とするマルチプロセッサシステムに於ける電源制御装置。

【請求項2】 前記電源制御部は、前記各CPUの有効、無効を示す情報がセットされるレジスタと、該レジスタにセットされている情報に基づいて前記電源ユニットを制御する制御回路とを有することを特徴とする請求項1記載のマルチプロセッサシステムに於ける電源制御装置。

【請求項3】 前記障害は、ハードウェア障害または間欠障害であることを特徴とする請求項2記載のマルチプロセッサシステムに於ける電源制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、障害が発生したプロセッサを切り離して縮退運転を行うマルチプロセッサシステムに関し、特に、マルチプロセッサシステムを構成する各CPUに対する電源の供給を制御するマルチプロセッサシステムに於ける電源制御装置に関する。

【0002】

【従来の技術】従来からマルチプロセッサシステムに於いては、障害の発生したCPUを切り離して縮退運転するということが行われている（例えば、特開平4-181438号公報）。

【0003】図4は、上記した従来のマルチプロセッサシステムの構成を示したブロック図である。図4に示した従来のマルチプロセッサシステムは、3個のCPU1～3が処理を分担するものであり、共通メモリ4と、電源ユニット5と、不揮発性メモリから構成されるロギングメモリ9とを備えている。

【0004】共通メモリ4には、エラー処理プログラム6と、ハードウェア診断プログラム7と、間欠障害検出プログラム8と、管理テーブル10と、切り離し制御プログラム11とが格納されている。

【0005】管理テーブル10は、各CPU1～3に対応するエントリを有し、各エントリには、CPU1～3が無効であるか有効であるかを示す有効無効情報と、割り当てられている処理内容とが設定される。

【0006】エラー処理プログラム6は、CPU1で走行するものであり、エラー表示処理、システムダウン処理等の所定のエラー処理やロギングメモリ9への障害情報の書き込み処理を行う。

【0007】ハードウェア診断プログラム7は、電源投

入時に各CPU1～3で走行し、切り離し制御を行うCPU（この例では、CPU1とする）に診断結果を通知する。

【0008】間欠障害検出プログラム8は、電源投入時にCPU1で走行するものであり、ロギングメモリ9を検索して間欠障害が発生したCPUが記録されていれば、切り離し制御プログラム11へ間欠障害が発生したCPUのCPU番号を通知する。

【0009】切り離し制御プログラム11は、CPU1で走行し、ハードウェア障害や間欠障害が発生したCPUに対応する管理テーブル10のエントリに、無効を示す有効無効情報を設定することにより、ハードウェア障害や間欠障害が発生したCPUを切り離す。

【0010】次に動作について説明する。

【0011】各CPU1～3は処理要求が発生すると、管理テーブル10を参照して要求先CPUを認識し、処理要求内容を共通メモリ4に格納した後、要求先CPUに割り込みをかける。割り込みを受けたCPUは、所定の処理を遂行した後、共通メモリ4に処理結果を格納し、依頼元のCPUに処理完了を通知する。

【0012】各CPU1～3が正常な場合は上述した動作が行われるが、何れかのCPUに障害が発生すると、以下の動作が行われる。

【0013】何れかのCPUにパリティエラー等の障害が発生すると、障害の発生したCPUは、エラー処理を行うCPU（CPU1）を認識し、そのCPU1に割り込みをかける。割り込みを受けたCPU1ではエラー処理プログラム6を走行させる。これにより、エラー処理プログラム6は、所定のエラー処理を行うと共に、プロセッサ間通信により障害の発生したCPU3から障害情報を読み出し、それをロギングメモリ9に記録する。

【0014】その後、再立ち上げ処理が行われ、その初期設定処理に於いて以下の処理が行われる。まず、各CPU1～3はハードウェア診断プログラム7を走行させてハードウェア各部の診断を行い、診断結果を共通メモリ4を介して処理担当のCPU1に通知する。

【0015】通知を受けたCPU1では、切り離し制御プログラム11を走行させる。切り離し制御プログラム11は、診断結果に基づいて障害の発生したCPUを検出すると、管理テーブル10の上記障害発生CPUに対応するエントリに無効情報を設定して、そのCPUを無効化する。この無効化により、そのCPUの切り離しが行われる。

【0016】続いて、CPU1は間欠障害検出プログラム8を走行させる。間欠障害検出プログラム8は、ロギングメモリ9を検索し、或るCPUに間欠障害が発生したことを示す情報が記録されていれば、そのCPUのCPU番号を切り離し制御プログラム11に通知する。これにより、切り離し制御プログラム11は、ハードウェア障害発生時の切り離し処理と同様に、管理テーブル1

(3)

特開平9-319474

0を更新してそのCPUの切り離しを行う。

【0017】

【発明が解決しようとする課題】上述したように、従来のマルチプロセッサシステムは、障害が発生しているCPUを切り離すだけであり、切り離したCPUに対する電力供給を停止するというような処理は行っていなかった。このため、障害の発生したCPUによって無駄な電力消費が行われるという問題があった。

【0018】そこで、本発明の目的は、縮退運転中の消費電力を低減させることができるマルチプロセッサシステムに於ける電源制御装置を提供することにある。

【0019】

【課題を解決するための手段】本発明は上記目的を達成するため、障害の発生しているCPUを切り離して縮退運転を行うマルチプロセッサシステムに於いて、前記マルチプロセッサシステムを構成する各CPUに対して個別に電力を供給可能な電源ユニットと、該電源ユニットを制御して、前記各CPUの内の、切り離されたCPUに対する電力供給を停止させる電源制御部とを備えている。

【0020】障害の発生しているCPUが切り離されると、電源制御部が電源ユニットを制御し、切り離されたCPUに対する電力供給を停止させる。

【0021】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して詳細に説明する。

【0022】図1は本発明の実施例のブロック図である。同図に示したマルチプロセッサシステムは、3個のCPU1～3が処理を分担するものであり、共通メモリ4と、電源ユニット5と、ロギングメモリ9と、電源制御部12とを備えている。

【0023】共通メモリ4には、エラー処理プログラム6、ハードウェア診断プログラム7、間欠障害検出プログラム8、管理テーブル10、切り離し制御プログラム11及び電源制御プログラム13が格納されている。ここで、エラー処理プログラム6、ハードウェア診断プログラム7、間欠障害検出プログラム8、管理テーブル10及び切り離し制御プログラム11は、図4の従来例で示したものと同一のものである。電源制御プログラム13は、切り離し制御プログラム11による処理が終了した後、管理テーブル10から各CPU1～3の有効無効情報を読み込み、電源制御部12内のレジスタに各CPUの有効、無効を示す有効無効ビットをセットする。

【0024】電源ユニット5は、各CPU1～3に対して個別に電力を供給可能な電源ユニットである。

【0025】電源制御部12は、電源ユニット5を制御して、各CPU1～3への電力供給を制御する。図2は電源制御部12の構成例を示すブロック図であり、レジスタ14と制御回路15とから構成されている。

【0026】レジスタ14は各CPU1～3の有効、無

効を示す有効無効ビットがセットされる3ビット構成のレジスタであり、第1ビット～第3ビットがそれぞれCPU1～3に対応する。本実施例では、“1”=有効、“0”=無効としている。制御回路15は、レジスタ14にセットされている有効無効ビットに基づいて電力供給を停止させるCPUを決定し、その決定に従って電源ユニット5を制御する。

【0027】次に、本実施例の動作について説明する。

【0028】各CPU1～3に障害がない場合は、前述した従来例と同様の動作が行われるが、CPU1～3の何れかに障害が発生すると、図3のフローチャートに示す処理が行われる。

【0029】CPU1～3の内の何れかのCPUにハードウェア障害或いは間欠障害が発生すると（ステップ100）、障害の発生したCPUは、エラー処理を行うCPU（CPU1とする）を認識し、そのCPU1にエラー割り込みをかける（ステップ101）。

【0030】割り込みを受けたCPU1ではエラー処理プログラム6を走行させる。これにより、エラー処理プログラム6は、所定のエラー処理を行うと共に、プロセッサ間通信により障害の発生したCPUから障害情報を読み出し、それをロギングメモリ9に記録する（ステップ102）。

【0031】その後、リブートが開始されると（ステップ103）、各CPU1～3は、ハードウェア診断プログラム7を走行させてハードウェア各部の診断を行い、診断結果を共通メモリ4を介して処理担当のCPU1に通知する（ステップ104）。

【0032】通知を受けたCPU1では、切り離し制御プログラム11を走行させる。切り離し制御プログラム11は、診断結果に基づいて障害の発生したCPUを検出すると、管理テーブル10の上記障害発生CPUに対応するエントリに無効情報を設定して、そのCPUをシステムから切り離す（ステップ105）。

【0033】続いて、CPU1は間欠障害検出プログラム8を走行させる。これにより、間欠障害検出プログラム8は、ロギングメモリ9を検索し、或るCPUに間欠障害が発生したことを示す情報が記録されていれば、そのCPUのCPU番号を切り離し制御プログラム11に通知する（ステップ106）。CPU番号が通知されると、切り離し制御プログラム11は、管理テーブル10中の上記CPU番号と対応するエントリに無効情報を書き込むことにより、間欠障害が発生したCPUを切り離す（ステップ107）。

【0034】切り離し制御プログラム11による処理が終了すると、CPU1は電源制御プログラム13を走行させる。これにより、電源制御プログラム13は、管理テーブル10から各CPU1～3の有効、無効を示す有効無効情報を読み込み、電源制御部12内のレジスタ14の各ビットに、各CPU1～3の有効、無効を示す有

(4)

特開平9-319474

効無効ビット（有効＝“1”，無効＝“0”）をセットする（ステップ108）。

【0035】電源制御部12内の制御回路15は、レジスタ14の各ビットの値に基づいて電力供給を停止するCPUを決定する（ステップ109）。つまり、“0”がセットされているビットに対応するCPU（切り離されたCPU）を、電力供給を停止するCPUとする。

【0036】その後、制御回路15は、電源ユニット5に対して制御信号を送り、切り離されたCPUに対する電力供給を停止させる（ステップ110）。以上で電源制御が完了する。このように、切り離されたCPUに対する電力供給を停止することにより、その分だけ消費電力を節約することができる。

【0037】尚、上述した実施例に於いては、CPUの数が3台のマルチプロセッサシステムを例に挙げて説明したが、CPUの数はこれに限られるものではない。

【0038】

【発明の効果】以上説明したように、本発明は、障害発生により切り離されたCPUに対する電力供給を停止させる電源制御部を備えているので、マルチプロセッサシステムの縮退運転中の消費電力を、切り離されたCPUが消費していた分だけ節約することができる効果があ

る。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図である。

【図2】電源制御部12の構成例を示すブロック図である。

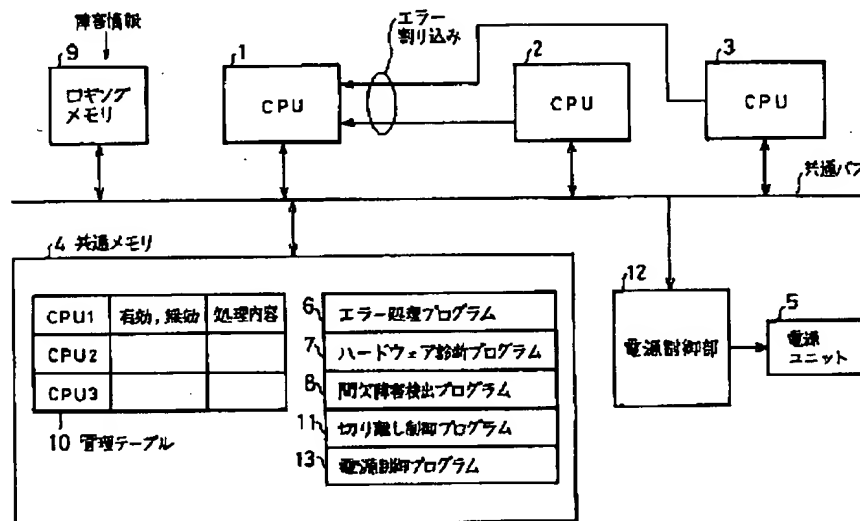
【図3】実施例の処理例を示すフローチャートである。

【図4】従来例のブロック図である。

【符号の説明】

- 1～3…CPU
- 4…共通メモリ
- 5…電源ユニット
- 6…エラー処理プログラム
- 7…ハードウェア診断プログラム
- 8…間欠障害検出プログラム
- 9…ロギングメモリ
- 10…管理テーブル
- 11…切り離し制御プログラム
- 12…電源制御部
- 13…電源制御プログラム
- 14…レジスタ
- 15…制御回路

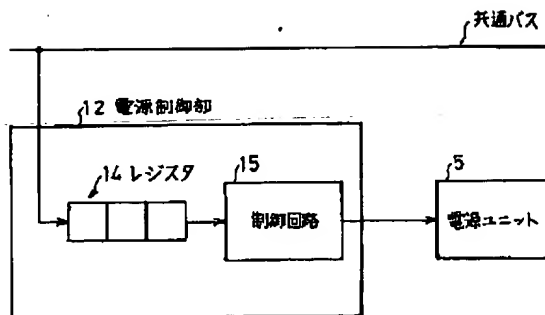
【図1】



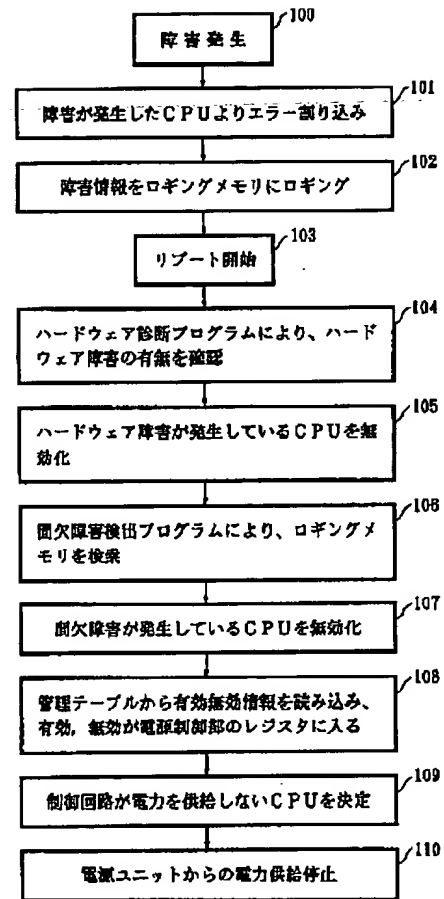
(5)

特開平9-319474

【図2】



【図3】



【図4】

